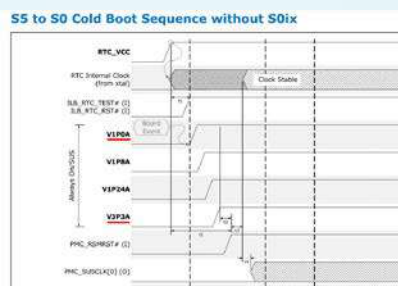


主機板 Debug 分析

在實習過程中時常有機會碰到主機板，有 SERVER 等級的亦或是其他種客製化的網通產品，所以在設計產出時會有 Sample 板或是後續較穩定的 ZR0、ZR1 等等預備產出的版本，但對於所有剛進板的主機板時最初試的測試即是能不能開機，不管是正常啓動或是無法開機均需測量時序，一是檢查 Power Sequence 與 Intel Design 標準規範是否相符，二是在無法開機的情況下檢查有那些電起來 些電沒起來，並針對細項做更一步的分析。



↑ 產品示意圖

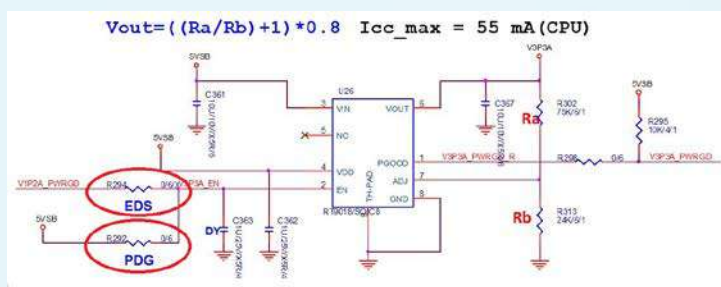


↑ Intel Design 標準規範

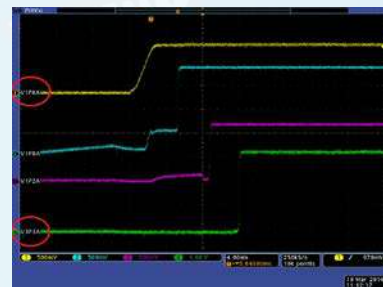


↑ V3P3A 較早起伏與規範不相符

根據錯誤的訊號查找電路圖，發現 3.3V 電壓轉換電路 ENABLE 訊號接成 5VSB 及 1.2V 電壓轉換電路 ENABLE 訊號接成 3.3V Power Good 訊號造成 V3P3A 較 V1P2A 早上電，遇修正 3.3V 電壓 ENABLE 訊號應接 1.2V PWRGD 訊號因時序 1.2V 為先，1V 電壓 ENABLE 訊號應接 5VSB 因時序為最先，電壓轉換電路有一 PGOOD 用以告知訊號已送出，可利用此 PIN 腳來對下一級訊號做 Enable 的動作。在下圖中有一 EDS 及 PDG 即是來自不同的 Design Spec，會在設計時預留空間共後續分析。



↑ 5VSB 轉 3.3V ENABLE 訊號應改接 1.2V PWRGD 訊號



↑ Power Sequence 修正完成