

星期 節次	星期一	星期二	星期三	星期四	星期五
第一節 8:00~08:50					
第二節 9:00~9:50					
第三節 10:00~10:50					
第四節 11:00~11:50					
第五節 1:00~1:50		FPGA/CPLD 實務 陳瓊安	數位電路設計 (全英授課) 陳瓊安		
第六節 2:00~2:50		FPGA/CPLD 實務 陳瓊安	數位電路設計 (全英授課) 陳瓊安		
第七節 3:00~3:50		FPGA/CPLD 實務 陳瓊安	數位電路設計 (全英授課) 陳瓊安		
第八節 4:00~4:50					
第 C 節 5:00~5:50					
第九節 6:40~7:25					
第十節 7:30~8:15					
第十一節 8:25~9:10					