

星期 節次	星期一	星期二	星期三	星期四	星期五	星期六
第一節 8:00~8:50				數位邏輯設計 電一甲(體 201)	數位邏輯設計 電一甲(體 201)	
第二節 9:00~9:50				數位邏輯設計 電一甲(體 201)	FPGA/CPLD 實習 電一甲(電 317)	
第三節 10:00~10:50					FPGA/CPLD 實習 電一甲(電 317)	
第四節 11:00~11:50		數位邏輯設計 電一乙(體 209)			FPGA/CPLD 實習 電一甲(電 317)	
第五節 1:00~1:50		FPGA/CPLD 實習 電一乙(電 317)				
第六節 2:00~2:50		FPGA/CPLD 實習 電一乙(電 317)				
第七節 3:00~3:50		FPGA/CPLD 實習 電一乙(電 317)				
第八節 4:00~4:50			數位邏輯設計 電一乙(體 209)		FPGA/CPLD 實務 職電二(電 317)	
第 C 節 5:00~5:30			數位邏輯設計 電一乙(體 209)			
第九節 6:40~7:25			FPGA/CPLD 實習 大四重修(電 317)		FPGA/CPLD 實務 職電二(電 317)	
第十節 7:30~8:15			FPGA/CPLD 實習 大四重修(電 317)		FPGA/CPLD 實務 職電二(電 317)	
第十一節 8:25~9:10			FPGA/CPLD 實習 大四重修(電 317)			

